

METHOD OF MANUFACTURING SEMICONDUCTOR INTEGRATED- CIRCUIT DEVICE

Patent Number: JP2002270794
Publication date: 2002-09-20
Inventor(s): IIJIMA SHINPEI; SAKUMA HIROSHI; HIRATANI MASAHIKO
Applicant(s): HITACHI LTD.; NEC CORP
Requested Patent:  JP2002270794
Application Number: JP20010062909 20010307
Priority Number(s):
IPC Classification: H01L27/108; H01L21/8242
EC Classification:
Equivalents:

**Abstract**

PROBLEM TO BE SOLVED: To prevent the nonconformity that oxygen which has permeated a lower electrode oxidizes a barrier layer and forms a high-resistance layer when a dielectric film on the lower electrode of the capacitance element of a DRAM, is heat-treated in an oxygen atmosphere.

SOLUTION: The lower electrode 31 which is composed of a TaN film, and an Ru film deposited on its upper part is constituted at the inside of a groove 27 formed on a silicon oxide film 24. In succession, a tantalum oxide film 32a is deposited on the upper part of the lower electrode 31 by CVD method. After that, in order to crystallize the film 32a and to improve its film quality, it is heat-treated at 300 to 400 deg.C in an oxygen-containing atmosphere. Thereby, the nonconformity of a high-resistance oxide layer being formed between a plug 22 composed of polycrystalline silicon and the lower electrode 31 is prevented.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-270794

(P2002-270794A)

(43)公開日 平成14年9月20日(2002.9.20)

(51)Int.Cl.⁷

H 0 1 L 27/108

21/8242

識別記号

F I

H 0 1 L 27/10

テーマコード(参考)

6 2 1 C 5 F 0 8 3

審査請求 未請求 請求項の数5 O L (全 22 頁)

(21)出願番号 特願2001-62909(P2001-62909)

(22)出願日 平成13年3月7日(2001.3.7)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 飯島 晋平

東京都中央区八重洲二丁目2-1 エルピ

ーダ・メモリ株式会社内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

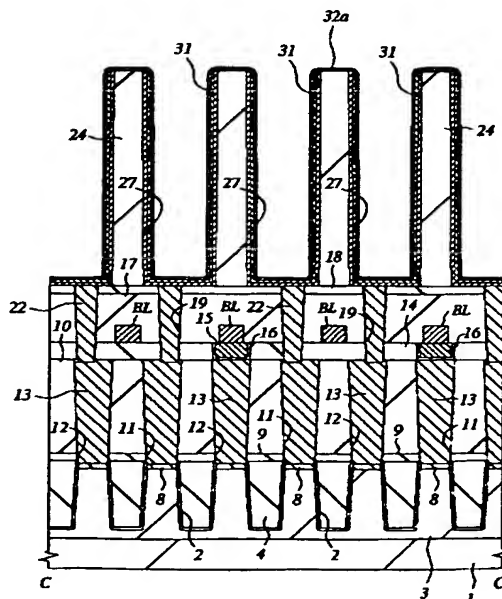
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 DRAMの容量素子の下部電極上に形成した誘電体膜を酸素雰囲気中で熱処理する際、下部電極を透過した酸素がバリア層を酸化して高抵抗層を形成する不具合を防止する。

【解決手段】 酸化シリコン膜24に形成した溝27の内部にTa₂N膜とその上部に堆積したRu膜からなる下部電極31を形成し、続いて下部電極31の上部にCVD法で酸化タンタル膜32aを堆積した後、酸化タンタル膜32aの結晶化と膜質の改善とを図るために、酸素を含む雰囲気中で300～400℃の熱処理を行うことで、多結晶シリコンからなるプラグ22と下部電極31との間に高抵抗の酸化層が形成される不具合を防止する。

図 41



【特許請求の範囲】

【請求項1】 絶縁膜に形成された溝の内壁を主たる容量領域とする、一対の電極とそれらに挟まれた誘電体膜とからなる容量素子を有する半導体集積回路装置の製造方法であって、(a) 絶縁膜に形成された溝の内表面に窒化タンタル膜とその上部に形成したルテニウム膜とからなる下部電極を形成する工程、(b) 前記下部電極の表面上を含む前記絶縁膜上にCVD法で酸化タンタル膜を堆積した後、酸素を含む雰囲気中で熱処理を行う工程、(c) 前記(b)工程の後、前記酸化タンタル膜の上部に上部電極を形成する工程、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 絶縁膜に形成された溝の内壁を主たる容量領域とする、一対の電極とそれらに挟まれた誘電体膜とからなる容量素子を有する半導体集積回路装置の製造方法であって、(a) 絶縁膜に形成された溝の内表面に窒化タンタル膜とその上部に形成したルテニウム膜とからなる下部電極を形成する工程、(b) 前記下部電極の表面上を含む前記絶縁膜上にCVD法で第1の酸化タンタル膜を堆積した後、前記第1の酸化タンタル膜の結晶化と膜質の改善とを図るために、酸素を含む雰囲気中で熱処理を行う工程、(c) 前記第1酸化タンタル膜の上部にCVD法で第2酸化タンタル膜を形成する工程、

(d) 前記(c)工程の後、前記第2酸化タンタル膜の上部に上部電極を形成する工程、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 絶縁膜に形成された溝の内壁を主たる容量領域とする、一対の電極とそれらに挟まれた誘電体膜とからなる容量素子を有する半導体集積回路装置の製造方法であって、

(a) 絶縁膜に形成された溝の内表面に窒化タンタル膜からなる下部電極を形成する工程、(b) 酸化性雰囲気中で熱処理を行うことにより、前記窒化タンタル膜の表面に酸化タンタル膜を形成する工程、(c) 前記酸化タンタル膜の表面に、必要に応じてCVD法で第2の酸化タンタル膜を堆積した後、前記酸化タンタル膜の上部に上部電極を形成する工程、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 絶縁膜に形成された溝の内壁を主たる容量領域とする、一対の電極とそれらに挟まれた誘電体膜とからなる容量素子を有する半導体集積回路装置の製造方法であって、(a) 絶縁膜に形成された溝の内表面に窒化タンタル膜からなる下部電極を形成する工程、

(b) 前記TaN膜の上部に上部電極の一部を構成するルテニウム膜を形成する工程、(c) 酸化性雰囲気中で熱処理を行うことにより、前記下部電極を構成する窒化タンタル膜と前記上部電極の一部を構成するルテニウム膜との界面に酸化タンタル膜を形成する工程、(d) 前記(c)工程の後、前記ルテニウム膜の上部に前記上部電極の他の一部を構成する導電膜を形成する工程、を有

することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 絶縁膜に形成された溝の内壁を主たる容量領域とする、一対の電極とそれらに挟まれた誘電体膜とからなる容量素子を有する半導体集積回路装置の製造方法であって、(a) 絶縁膜に形成された溝の内表面にルテニウム膜を含む下部電極を形成する工程、(b) 前記下部電極の表面上を含む前記絶縁膜上に窒化タンタル膜を堆積した後、酸化性雰囲気中で熱処理を行うことにより、前記窒化タンタル膜を酸化タンタル膜とする工程、(c) 前記酸化タンタル膜の上部にCVD法で第2酸化タンタル膜を堆積した後、前記第2酸化タンタル膜の上部に上部電極を形成する工程、を有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、DRAM(Dynamic Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】DRAMのメモリセルは、一般に、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置される。1個のメモリセルは、それを選択する1個のMISFET(Metal Insulator Semiconductor Field Effect Transistor)と、このMISFETに直列に接続された1個の情報蓄積用容量素子(キャパシタ)とで構成される。

【0003】メモリセル選択用MISFETは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート絶縁膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域によって構成される。メモリセル選択用MISFETは、通常1つの活性領域に2個形成され、これら2個のMISFETのソース、ドレイン(半導体領域)の一方が活性領域の中央部で共有される。

【0004】ビット線は、上記メモリセル選択用MISFETの上部に配置され、多結晶シリコンなどからなるプラグが埋め込まれた接続孔を通じてソース、ドレイン(半導体領域)の一方(2個のMISFETに共有された半導体領域)と電気的に接続される。また、情報蓄積用容量素子は、ビット線の上部に配置され、同じく多結晶シリコンなどからなるプラグが埋め込まれた接続孔を通じてメモリセル選択用MISFETのソース、ドレイン(半導体領域)の他方と電気的に接続される。

【0005】このように、近年のDRAMは、メモリセルの微細化に伴う蓄積電荷量の減少を補う対策として、情報蓄積用容量素子をビット線の上部に配置する立体構造を採用している。しかし、メモリセルの微細化がさらに進む256メガビット以降の大容量DRAMの場合には、情報蓄積用容量素子を立体化するだけでは蓄積電荷

量の減少を補うことが困難であると考えられている。

【0006】そこで、情報蓄積用容量素子の誘電体膜として、酸化タンタル (Ta_2O_5) のような高誘電体材料を採用することが検討されている。酸化タンタル膜のような高誘電体材料は、単に成膜しただけでは高い比誘電率が得られず、かつ膜のリーク電流も大きいため、成膜後に酸素雰囲気中で熱処理を行うことによって、結晶化および膜質の改善を図る必要がある。そのため、情報蓄積用容量素子の誘電体膜に高誘電体材料を用いる場合は、この高温熱処理による M I S F E T の特性変動といった問題が生じる。

【0007】そこで、誘電体膜に高誘電体材料を用いる場合には、その下地となる下部電極に Ru (ルテニウム) に代表される白金族金属が使用される。これは、白金族金属表面に高誘電体膜を堆積した場合には、650℃～600℃といった通常の熱処理より100℃以上も低温の熱処理で膜の結晶化および膜質の改善を図ることができるため、製造工程全体の熱処理量を低減し、M I S F E T の特性変動を防止することができるからである。

【0008】一方、下部電極材料に上記のような白金族金属を使用した場合は、これらが酸素を透過し易い材料であることから、下部電極の表面に高誘電体膜を成膜した後に酸素雰囲気中で熱処理を行うと、酸素が高誘電体膜および下部電極を透過してその下部のシリコンプラグに達し、白金族金属とシリコンとが反応して両者の界面に不所望な金属シリサイドの高抵抗層が形成されてしまうという問題がある。その対策としては、白金族金属からなる下部電極とシリコンプラグとの間に両者の反応を防ぐバリア層を形成することが提案されている。

【0009】特開平10-79481号公報は、酸化シリコン膜をリフロー、平坦化する際の700～800℃の熱処理によって白金族金属とシリコンとが相互拡散し、金属シリサイド層が形成されたり、さらにはこの金属シリサイド層が酸化されて誘電率の小さい酸化シリコン層が形成されたりする不具合を防止するためのバリア層として、Ti (チタン)、W (タングステン)、Ta (タンタル)、Co (コバルト)、Mo (モリブデン) などの高融点金属とシリコンと窒素とを含む導電層 (金属シリコンナイトライド層) を提案している。このバリア層は、柱状の結晶またはアモルファスを含む第1層と、粒状の結晶を含む第2層とを積層したものであることが好ましいとされている。また、バリア層とシリコンプラグとの間には、両者の密着性を向上させるTiを含む層が形成されていることが好ましいとされている。

【0010】特開平10-209394号公報は、シリコンプラグを埋め込んだ接続孔の上部に下部電極を形成する際、両者のマスク合わせずれが生じると、下部電極の上部に形成する誘電体膜と下部電極の下部のシリコンプラグとが接触する結果、誘電体膜中の酸素とシリコン

とが反応して高抵抗の酸化シリコン膜ができたり、誘電体膜中の酸素が不足してリーク電流が増大するという問題を指摘している。その対策として、この公報は、誘電体膜とシリコンプラグとの間に窒化シリコンからなる遮断膜を設ける技術を開示している。

【0011】特開平11-307736号公報は、強誘電体メモリに関するものであるが、シリコンプラグの上部に酸化イリジウム (IrO_x) からなる下部電極、P Z T (チタン酸ジルコン酸鉛) などの強誘電体からなる誘電体膜、Ptなどの白金族金属からなる上部電極によって構成される容量素子を形成する際、シリコンプラグの上部に拡散バリア層としてタンタルシリコンナイトライド (TaSiN) 膜を形成し、この拡散バリア層の上部に酸素阻止膜としてIr膜を形成する技術を開示している。

【0012】

【発明が解決しようとする課題】このように、従来技術においては、シリコンプラグを埋め込んだ接続孔の上部に白金族金属からなる下部電極を形成した後、下部電極上に高誘電体膜を形成して熱処理を行う際、あらかじめシリコンプラグ上にバリア層を形成しておくことによって、白金族金属とシリコンプラグとの不所望な反応を防止することが行われている。

【0013】しかし、シリコンプラグ上にバリア層を形成した場合であっても、高温酸素雰囲気中で高誘電体膜の熱処理を行うと、下部電極を透過した酸素がバリア層自体を酸化し、高抵抗、低誘電率の酸化物質層を形成してしまうという問題がある。

【0014】また、本発明者らは、シリコンプラグを埋め込んだ接続孔の上部に厚い酸化シリコン膜を堆積し、次いでこの酸化シリコン膜をエッチングしてシリコンプラグの表面に達する深い溝を形成した後、この溝の内壁に白金族金属膜を堆積することによって下部電極を形成する、というプロセスを検討しているが、白金族金属膜と酸化シリコン膜との接着性が低いために、製造工程の途中で下部電極と酸化シリコン膜との間に剥離が生じることがあるという問題を見出した。

【0015】本発明の目的は、容量素子の下部電極上に形成した誘電体膜を酸素雰囲気中で熱処理する際、下部電極を透過した酸素がバリア層を酸化して高抵抗層を形成する不具合を防止する技術を提供することにある。

【0016】本発明の他の目的は、容量素子の下部電極を構成する白金族金属膜と酸化シリコン膜との接着性を向上させる技術を提供することにある。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

10

20

30

40

50

次のとおりである。

【0019】本発明の半導体集積回路装置の製造方法は、絶縁膜に形成された溝の内壁を主たる容量領域とする、一対の電極とそれらに挟まれた誘電体膜とからなる容量素子を形成する際に、上記絶縁膜に形成された溝の内表面に窒化タンタル膜とその上部に形成したルテニウム膜とからなる下部電極を形成する工程と、前記下部電極の表面上を含む前記絶縁膜上にCVD法で酸化タンタル膜を堆積した後、前記酸化タンタル膜の結晶化と膜質の改善とを図るために、酸素を含む雰囲気中で熱処理を行う工程と、前記酸化タンタル膜の上部に上部電極を形成する工程とを有するものである。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0021】（実施の形態1）本実施形態のDRAMの製造方法を図1～図4を用いて工程順に説明する。なお、以下で説明するDRAMの製造工程のうち、半導体基板（以下、基板という）の主面上にメモリセル選択用MISFETを形成し、続いてメモリセル選択用MISFETの上部にビット線を形成するまでの工程については、例えば特願平11-166320号（松岡ら）などに詳細な記載がある。

【0022】まず、図1（メモリアレイの要部平面図）、図2（図1のA-A線に沿った断面図）、図3（図1のB-B線に沿った断面図）および図4（図1のC-C線に沿った断面図）に示すように、例えばp型の単結晶シリコンからなる基板1の主面の素子分離領域に素子分離溝2を形成する。素子分離溝2は、基板1の表面をエッチングして深さ300～400nm程度の溝を形成し、続いてこの溝の内部を含む基板1上にCVD（Chemical Vapor Deposition）法で酸化シリコン膜4（膜厚600nm程度）を堆積した後、酸化シリコン膜4を化学機械研磨（Chemical Mechanical Polishing; CMP）法で研磨、平坦化することによって形成する。酸化シリコン膜4は、例えば酸素（またはオゾン）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積し、その後、1000℃程度のドライ酸化を行って膜を緻密化（デンシファイ）する。

【0023】図1に示すように、上記素子分離溝2を形成することにより、素子分離溝2によって周囲を囲まれた細長い島状の活性領域（L）が同時に多数形成される。後述するように、これらの活性領域（L）のそれぞれには、ソース、ドレインの一方を共有するメモリセル選択用MISFETQsが2個ずつ形成される。

【0024】次に、基板1にB（ホウ素）をイオン打ち込みすることによってp型ウエル3を形成し、続いてp型ウエル3の表面をHF（フッ酸）系の洗浄液で洗浄し

た後、基板1を熱酸化することによってp型ウエル3の活性領域（L）の表面に酸化シリコン系の清浄なゲート絶縁膜5（膜厚6nm程度）を形成する。なお、ゲート絶縁膜5は、基板1の熱酸化によって形成される酸化シリコン系絶縁膜の他、それよりも誘電率が大きい窒化シリコン系絶縁膜、金属酸化物系絶縁膜（酸化タンタル膜、酸化チタン膜など）であってもよい。これらの高誘電体絶縁膜は、基板1上にCVD法やスパッタリング法で成膜することによって形成する。

10 【0025】次に、図5～図7に示すように、ゲート絶縁膜5の上部にゲート電極6を形成する。ゲート電極6は、活性領域（L）以外の領域ではワード線（WL）として機能する。ゲート電極6（ワード線WL）は、例えばゲート絶縁膜5の上部にP（リン）などをドーブしたn型多結晶シリコン膜（膜厚70nm程度）、WN（窒化タングステン）またはTiN（窒化チタン）からなるバリアメタル膜（膜厚5nm～10nm程度）、W（タングステン）膜（膜厚100nm程度）および窒化シリコン膜7（膜厚150nm程度）を順次堆積した後、フォトレジスト膜をマスクにしてこれらの膜をドライエッチングすることによって形成する。多結晶シリコン膜および窒化シリコン膜7はCVD法で堆積し、バリアメタル膜およびW膜はスパッタリング法で堆積する。

20 【0026】次に、図8～図10に示すように、p型ウエル3にAs（ヒ素）またはP（リン）をイオン打ち込みしてゲート電極6の両側のp型ウエル3にn型半導体領域8（ソース、ドレイン）を形成する。ここまでの工程により、メモリセル選択用MISFETQsが略完成する。

30 【0027】次に、図11～図14に示すように、基板1上にCVD法で窒化シリコン膜9（膜厚50nm）および酸化シリコン膜10（膜厚600nm程度）を堆積し、続いて酸化シリコン膜10の表面を化学機械研磨法で平坦化した後、フォトレジスト膜（図示せず）をマスクにして酸化シリコン膜10および窒化シリコン膜9をドライエッチングすることにより、メモリセル選択用MISFETQsのソース、ドレイン（n型半導体領域8）の上部にコンタクトホール11、12を形成する。酸化シリコン膜10のエッチングは、窒化シリコンに対する選択比が大きい条件で行い、窒化シリコン膜9のエッチングは、シリコンや酸化シリコンに対するエッチング選択比が大きい条件で行う。これにより、コンタクトホール11、12をゲート電極6（ワード線WL）に対して自己整合（セルフアライン）で形成することができる。

40 【0028】次に、図15および図16に示すように、コンタクトホール11、12の内部にプラグ13を形成する。プラグ13を形成するには、酸化シリコン膜10の上部にPをドーブしたn型多結晶シリコン膜をCVD法で堆積することによってコンタクトホール11、12

の内部にn型多結晶シリコン膜を埋め込んだ後、コンタクトホール11、12の外部のn型多結晶シリコン膜を化学機械研磨法（またはドライエッチング）で除去する。

【0029】次に、酸化シリコン膜10の上部にCVD法で酸化シリコン膜14（膜厚150nm程度）を堆積した後、図17～図19に示すように、フォトリソ膜（図示せず）をマスクにしてコンタクトホール11の上部の酸化シリコン膜14をドライエッチングすることにより、後の工程で形成されるビット線（BL）とコンタクトホール11とを接続するためのスルーホール15を形成する。

【0030】次に、図20および図21に示すように、スルーホール15の内部にプラグ16を形成する。プラグ16を形成するには、酸化シリコン膜14の上部に例えばスパッタリング法でTiNからなるバリアメタル膜を堆積し、続いてバリアメタル膜の上部にCVD法でW膜を堆積することによってスルーホール15の内部にこれらの膜を埋め込んだ後、スルーホール15の外部のこれらの膜を化学機械研磨法で除去する。

【0031】次に、図23～図25に示すように、酸化シリコン膜14の上部にビット線BLを形成する。ビット線BLを形成するには、例えば酸化シリコン膜14の上部にスパッタリング法でTiN膜（膜厚10nm程度）を堆積し、続いてTiN膜の上部にCVD法でW膜（膜厚50nm程度）を堆積した後、フォトリソ膜をマスクにしてこれらの膜をドライエッチングする。ビット線BLは、その下部のスルーホール15に埋め込まれたプラグ16およびさらにその下部のコンタクトホール11に埋め込まれたプラグ13を介してメモリセル選択用MISFETQsのソース、ドレイン（n型半導体領域8）の一方と電気的に接続される。

【0032】次に、図26～図29に示すように、ビット線BLの上部にCVD法で膜厚300nm程度の酸化シリコン膜17および膜厚200nm程度の窒化シリコン膜18を堆積した後、フォトリソ膜（図示せず）をマスクにして窒化シリコン膜18および酸化シリコン膜17をドライエッチングすることにより、プラグ13が埋め込まれたコンタクトホール11の上部にスルーホール19を形成する。

【0033】スルーホール19は、その径がその下部のコンタクトホール11の径よりも小さくなるように形成する。具体的には、窒化シリコン膜18の上部にCVD法で多結晶シリコン膜20を堆積し、続いてスルーホール19を形成する領域の多結晶シリコン膜20をドライエッチングして孔を形成した後、多結晶シリコン膜20の上部にさらに多結晶シリコン膜（図示せず）を堆積する。次に、多結晶シリコン膜20の上部の多結晶シリコン膜を異方性エッチングすることによって孔の側壁にサイドウォールスペーサ21を形成し、続いて多結晶シリ

コン膜20とサイドウォールスペーサ21とをマスクに用いて孔の底部の窒化シリコン膜18および酸化シリコン膜17をドライエッチングする。

【0034】また、図26および図29に示すように、スルーホール19は、その中心がその下部のコンタクトホール11の中心よりもビット線BLから離れる方向にオフセットされる。このように、スルーホール19の径をその下部のコンタクトホール11の径よりも小さくし、かつその中心をビット線BLから離れる方向にオフセットさせることにより、メモリセルサイズを縮小した場合においても自己整合コンタクト(Self Align Contact; SAC)技術を用いることなく、スルーホール19（の内部に埋め込まれるプラグ22）とビット線BLとのショートを防止することができる。また、スルーホール19の径をその下部のコンタクトホール11の径よりも小さくすることにより、それらの中心をずらしても両者のコンタクト面積を十分に確保することができる。

【0035】次に、スルーホール19の形成に用いたマスク（多結晶シリコン膜20およびサイドウォールスペーサ21）をドライエッチングで除去した後、図30～図32に示すように、スルーホール19の内部にプラグ22を形成する。プラグ22を形成するには、まず窒化シリコン膜18の上部にPをドーピングしたn型多結晶シリコン膜をCVD法で堆積することによって、スルーホール19の内部にn型多結晶シリコン膜を埋め込み、続いてスルーホール19の外部のn型多結晶シリコン膜を化学機械研磨法（またはドライエッチング）で除去する。

【0036】次に、図33および図34に示すように、窒化シリコン膜18の上部にCVD法で膜厚1500nm程度の酸化シリコン膜24を堆積する。情報蓄積容量素子Cの下部電極28は、次の工程で酸化シリコン膜24に形成される溝27の内部に形成される。従って、酸化シリコン膜24の膜厚がこの下部電極28の高さとなるので、下部電極28の表面積を大きくして蓄積電荷量を増やすためには、酸化シリコン膜24を厚い膜厚で堆積する。酸化シリコン膜24は、例えば酸素とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積し、その後、必要に応じてその表面を化学機械研磨法で平坦化する。

【0037】次に、図35～図37に示すように、フォトリソ膜（図示せず）をマスクにして酸化シリコン膜24をドライエッチングすることにより、その底部にスルーホール19内のプラグ22の表面が露出する溝27を形成する。図35に示すように、溝27は、ワード線WLの延在方向に長辺を有し、かつビット線BLの延在方向に短辺を有する矩形の平面パターンで構成される。

【0038】次に、図38に示すように、深い溝27が形成された酸化シリコン膜24の上部にスパッタリング法でTa₂N膜28を堆積した後、図39に示すように、

TaN膜28の上部にCVD法で膜厚20nm程度のRu膜29を堆積する。Ru膜29は、例えばテトラヒドロフラン（THF）などの有機溶媒に溶かしたエチルシクロペンタジエニルテニウム（以下、Ru（EtCp）₂と略記する）などの有機Ru化合物を250℃程度で気化させ、酸素で分解することによって形成する。

【0039】次に、図40に示すように、溝27の内部に絶縁膜30を埋め込んだ後、絶縁膜30で覆われていない溝27の外部のTaN膜28およびRu膜29をドライエッチングによって除去することにより、溝27の内部にTaN膜28およびRu膜29からなる情報蓄積用容量素子の下部電極31が形成される。絶縁膜30は、酸化シリコン膜24に対するエッチング選択比が大きい絶縁材料、例えばフォトリソグラスなどで構成する。絶縁膜30をフォトリソグラスなどで構成する場合は、ポジ型のフォトリソグラス膜を溝27の内部および酸化シリコン膜24上にスピン塗布した後、全面露光および現像を行って溝27の外部の露光部を除去し、溝27の内部に未露光部を残せばよい。

【0040】次に、溝27の内部の絶縁膜31を除去した後、図41に示すように、下部電極31が形成された溝27の内壁および酸化シリコン膜24の表面に膜厚5～10nm程度の酸化タンタル膜32aを堆積する。酸化タンタル膜32aは、例えば原料ガスにペンタエチキサンタル（Ta（OC₂H₅）₅）と酸素とを用いたCVD法で堆積し、次いで、膜の結晶化と膜質の改善とを図るために、酸素を含む雰囲気中で300～400℃の熱処理を行い、さらに非酸化性雰囲気中で700℃程度の熱処理を行う。

【0041】次に、図42に示すように、酸化タンタル膜32aの表面に上記と同様の方法で膜厚5～10nm程度の酸化タンタル膜32bを堆積した後、酸化タンタル膜32bの上部にRu膜からなる上部電極33を形成する。結晶化処理を行った酸化タンタル膜32aの表面に堆積した酸化タンタル膜32bは、成膜完了時にすでに結晶化が完結している（ホモエピタキシャル成長）ので、熱処理は必ずしも必要ではない。また、上部電極33を形成するには、例えば溝27の内部にCVD法で堆積したRu膜を埋め込み、続いてその上部にスパッタリング法でRu膜をを堆積する。上部電極材料はRuに限

【0042】ここまでの工程により、下部電極31と、2層の酸化タンタル膜32a、32bからなる誘電体膜と、上部電極33とで構成される情報蓄積用容量素子Cが完成し、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるメモリセルが略完成する。その後、情報蓄積用容量素子Cの上部に層間絶縁膜を挟んで2層程度のAl配線を形成

し、最上層のAl配線の上部にパッシベーション膜を形成するが、これらの図示は省略する。

【0043】多結晶シリコンからなるプラグ22の表面にバリア層を設け、このバリア層の上部にRuからなる下部電極を形成する構造を採用した場合は、酸素を含む雰囲気中で酸化タンタル膜32aの熱処理を行った際、バリア層の表面に酸化層が形成される。この酸化層は、その膜厚が極めて薄い場合であっても、プラグ22の表面積が極めて小さいため、結果的にバリア層と下部電極との界面の抵抗が大きくなり、導通不良を引き起こす虞れがある。

【0044】これに対し、本実施形態では、多結晶シリコンからなるプラグ22の上部にTaN膜28を含むからなる下部電極31を形成するので、酸化タンタル膜32aの熱処理を行った際に、プラグ22の表面には酸化層が形成されることはない。一方、酸化タンタル膜32aの熱処理を行うと、下部電極31を構成するTaN膜28とRu膜29との界面に酸化層が形成されるが、この界面の面積は情報蓄積用容量素子Cの表面積と同程度に広いため、同一面積の容量素子が直列に2個接続されたことと等価になる。

【0045】また、下部電極31の一部を構成するTaN膜28は、他の一部を構成するRu膜29と酸化シリコン膜24との接着層としても機能する。Ru膜29は、酸化シリコン膜24との接着力が乏しいため、酸化シリコン膜24上に直接堆積した場合は、熱処理によって剥離が生じることがあるが、Ru膜29と酸化シリコン膜24との間にTaN膜28を介在させることにより、このような不具合を防ぐこともできる。

【0046】（実施の形態2）本実施形態の製造方法は、酸化シリコン膜24に溝27を形成するまでの工程（前記図1～図37の工程）が前記実施の形態1と同一であるため、その説明は省略し、以降の工程についての説明する。

【0047】まず、前記図37に示した工程に引き続き、図43に示すように、溝27が形成された酸化シリコン膜24の上部にスパッタリング法でTaN膜28を堆積する。続いて、図44に示すように、溝27の内部に絶縁膜30を埋め込んだ後、絶縁膜30で覆われていない溝27の外部のTaN膜28をドライエッチングによって除去する。溝27の内部に残ったTaN膜28は、情報蓄積用容量素子の下部電極を構成する。

【0048】次に、溝27の内部の絶縁膜30を除去した後、図45に示すように、酸化性雰囲気中で500～700℃の熱処理を行い、TaN膜（下部電極）28の表面を酸化することにより、TaN膜（下部電極）28の表面に膜厚10～15nm程度の酸化タンタル膜32cを形成する。この酸化タンタル膜32cは、情報蓄積用容量素子の誘電体膜を構成する。TaN膜28の酸化は、酸化剤の種類や濃度、酸化温度などを制御すること

によって、酸化タンタル膜32cの膜厚を任意に選択することができる。

【0049】次に、図46に示すように、酸化タンタル膜32cの表面にCVD法で第2の酸化タンタル膜32dを堆積する。この酸化タンタル膜32dは、必要に応じて堆積するが、場合によっては省略することもできる。

【0050】次に、図47に示すように、酸化タンタル膜32c（または酸化タンタル膜32d）の表面に前記実施の形態1と同様の方法でRu膜からなる上部電極33を形成する。ここまでの工程により、Ta-N膜28からなる下部電極と、酸化タンタル膜32c（または2層の酸化タンタル膜32c、32b）からなる誘電体膜と、上部電極33とで構成される情報蓄積容量素子Cが完成し、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるメモリセルが略完成する。

【0051】本実施の形態では、下部電極を構成するTa-N膜28を酸化してその表面に酸化タンタル膜32cからなる誘電体膜を形成する。この方法によって形成された酸化タンタル膜32cは、結晶性が極めて高いという特徴がある。すなわち、CVD法で堆積した後、熱処理を行って結晶化した酸化タンタル膜は、X線回折法で観察すると種々の結晶配向性を示すが、Ta-N膜を酸化して得られる酸化タンタル膜は、(001)に強く配向し、結晶性のばらつきが少ない。従って、このような酸化タンタル膜を誘電体膜として用いることにより、リーク電流がより少なく、かつ電荷容量の大きい情報蓄積容量素子Cを実現することができる。また、前記実施の形態1と同様、本実施の形態においても、多結晶シリコンからなるプラグ22の表面に高抵抗の酸化層が生じる不具合を避けることができる。

【0052】また、前述したように、誘電体膜は、上記酸化タンタル膜32cとその上部にCVD法で堆積した酸化タンタル膜32dの2層構造とすることもできる。CVD法で堆積した酸化タンタル膜32dは、下地が非晶質の場合は非晶質となり、結晶の場合は結晶となる性質がある。本実施の形態の場合、下地の酸化タンタル膜32cの結晶性が高く、(001)に強く配向しているため、酸化タンタル膜32dの結晶性も高く、(001)に強く配向する。従って、誘電体膜をこのような2層構造とすることで、リーク電流がさらに少ない情報蓄積容量素子Cを実現することができる。誘電体膜は、3層またはそれ以上の多層構造にすることもできる。

【0053】（実施の形態3）本実施形態の製造方法は、酸化シリコン膜24に溝27を形成するまでの工程（前記図1～図37の工程）が前記実施の形態1と同一であるため、その説明は省略し、以降の工程についての説明する。

【0054】まず、前記図37に示した工程に引き続

き、図48に示すように、溝27が形成された酸化シリコン膜24の上部にスパッタリング法でTa-N膜28を堆積し、続いて溝27の内部に絶縁膜30を埋め込んだ後、絶縁膜30で覆われていない溝27の外部のTa-N膜28をドライエッチングによって除去することにより、溝27の内部にTa-N膜28からなる下部電極を構成する。

【0055】次に、図49に示すように、下部電極（Ta-N膜28）が形成された溝27の内部および酸化シリコン膜24の上部にスパッタリング法またはCVD法でRu膜34を堆積する。このRu膜34は、上部電極の一部を構成する。

【0056】次に、図50に示すように、酸化性雰囲気中で熱処理を行い、下部電極（Ta-N膜28）と上部電極（Ru膜34）との界面に酸化タンタル膜32dからなる誘電体膜を形成する。Ru膜34は、酸素透過性が極めて高い性質があるため、この性質を利用して下地のTa-N膜28の表面を酸化し、誘電体膜を構成する酸化タンタル膜32dを形成することができる。

【0057】Ta-N膜28の酸化条件は種々選択可能であるが、600℃以上であれば、酸化タンタル膜32dを結晶化することができる。このとき、Ru膜34もある程度酸化されるため、その後、水素やアンモニアなどを含む還元性雰囲気中で熱処理を行えばよい。また、Ru膜34の酸化を防止するため、酸化性雰囲気中で300～400℃程度の熱処理を行ってTa-N膜28の表面に酸化タンタル膜32dを形成した後、非酸化性雰囲気中で600℃以上の熱処理を行って結晶化してもよい。

【0058】次に、図51に示すように、Ru膜34の上部に、第2のRu膜36を堆積する。ここまでの工程により、Ta-N膜28からなる下部電極と、酸化タンタル膜32dからなる誘電体膜と、Ru膜34、36からなる上部電極とで構成される情報蓄積容量素子Cが完成し、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるメモリセルが略完成する。

【0059】このように、上部電極にRu膜を用いることにより、上部電極の形成後に誘電体を形成することもできる。

【0060】（実施の形態4）本実施形態の製造方法は、酸化シリコン膜24に溝27を形成するまでの工程（前記図1～図37の工程）が前記実施の形態1と同一であるため、その説明は省略し、以降の工程についての説明する。

【0061】まず、前記図37に示した工程に引き続き、図52に示すように、溝27が形成された酸化シリコン膜24の上部にCVD法で多結晶シリコン膜37を堆積する。多結晶シリコン膜37は、その下層のプラグ22を構成する多結晶シリコン膜と同じ導電型（例えばn型）で構成する。

10

20

30

40

50

【0062】次に、図53に示すように、多結晶シリコン膜37の上部にCVD法でRu膜29を堆積し、続いて図54に示すように、溝27の内部に絶縁膜30を埋め込んだ後、絶縁膜30で覆われていない溝27の外部のRu膜29および多結晶シリコン膜37をドライエッチングによって除去することにより、溝27の内部にRu膜29および多結晶シリコン膜37からなる下部電極を構成する。

【0063】次に、図55に示すように、下部電極が形成された溝27の内部および酸化シリコン膜24上にTaN膜35を堆積した後、図56に示すように、酸化性雰囲気中で熱処理を行い、TaN膜35を酸化タンタル膜35aとする。

【0064】次に、図57に示すように、酸化タンタル膜35aの上部にCVD法で第2の酸化タンタル膜35bを堆積した後、酸化タンタル膜35bの上部にRu膜からなる上部電極33を形成する。ここまでの工程により、情報蓄積容量素子Cが完成し、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるメモリセルが略完成する。

【0065】CVD法で堆積したRu膜の上部にCVD法で酸化タンタル膜を堆積し、この酸化タンタル膜を熱処理して結晶化した場合は、(001)に強く配向させることが困難であるが、本実施形態のように、Ru膜29上に堆積したTaN膜35を酸化した場合には、(001)に配向した酸化タンタル膜35aが得られるため、その表面に堆積する第2の酸化タンタル膜35bも(001)に配向させることができる。

【0066】以上、本発明者によってなされた発明を実施の形態に基づいて具体的に説明したが、本発明は前記実施の形態1〜4に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0067】前記実施の形態1〜4では、DRAMの製造プロセスに適用した場合について説明したが、汎用DRAMのみならず、ロジック混載DRAMなどにも適用することができる。

【0068】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0069】上記した実施の形態の代表的な構成によれば、情報蓄積容量素子の下部電極とその下部のプラグとの間に高抵抗層ができる不具合を回避することができるので、MIM構造の情報蓄積容量素子を有するDRAMの信頼性、製造歩留まりを向上させることができる。

【0070】また、TaN膜を酸化することによって、(001)に配向した酸化タンタル膜を形成し、これを情報蓄積容量素子の誘電体として用いることにより、

リーク電流の少ないDRAMを実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図2】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

10 【図4】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図6】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

20 【図9】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図12】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

30 【図14】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図18】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

40 【図19】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図23】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

50 【図24】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図 25】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 26】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部平面図である。

【図 27】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 28】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 29】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 30】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 31】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 32】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 33】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 34】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 35】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部平面図である。

【図 36】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 37】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 38】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 39】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 40】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 41】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 42】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 43】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 44】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 45】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 46】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 47】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 48】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 49】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 50】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 51】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 52】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 53】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

10 【図 54】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 55】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 56】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 57】本発明の他の実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離溝
- 3 p 型ウェル
- 4 酸化シリコン膜
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 酸化シリコン膜
- 8 n 型半導体領域 (ソース、ドレイン)
- 9 窒化シリコン膜
- 10 酸化シリコン膜
- 11、12 コンタクトホール
- 13 プラグ
- 30 14 酸化シリコン膜
- 15 スルーホール
- 16 プラグ
- 17 酸化シリコン膜
- 18 窒化シリコン膜
- 19 スルーホール
- 20 多結晶シリコン膜
- 21 サイドウォールスペーサ
- 22 プラグ
- 24 酸化シリコン膜
- 40 27 溝
- 28 TaN 膜
- 29 Ru 膜
- 30 絶縁膜
- 31 下部電極
- 32 a、32 b、32 c、32 d 酸化タンタル膜
- 33 上部電極
- 34 Ru 膜
- 35 TaN 膜
- 35 a、35 b 酸化タンタル膜
- 50 36 Ru 膜

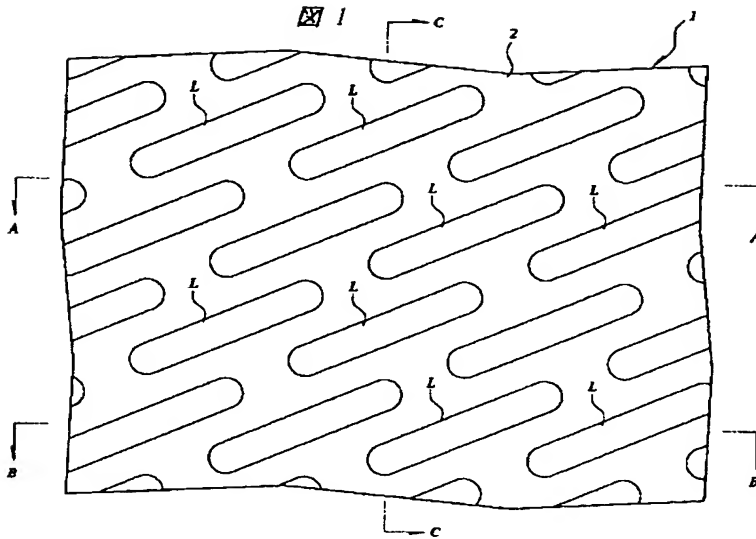
37 多結晶シリコン膜

BL ビット線

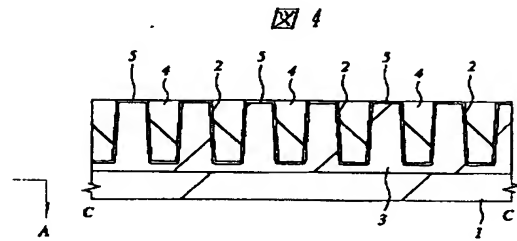
C 情報蓄積容量素子

Qs メモリセル選択用MISFET

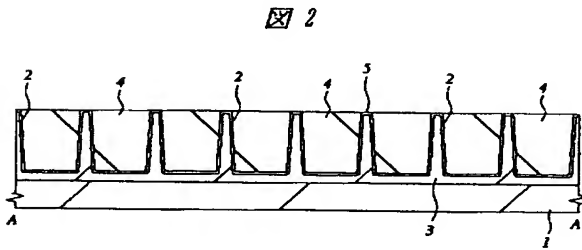
【図1】



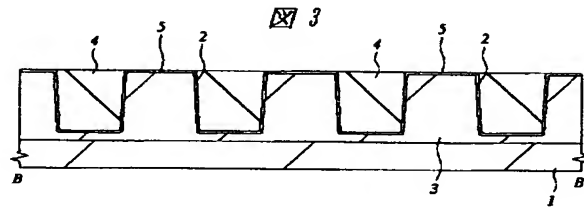
【図4】



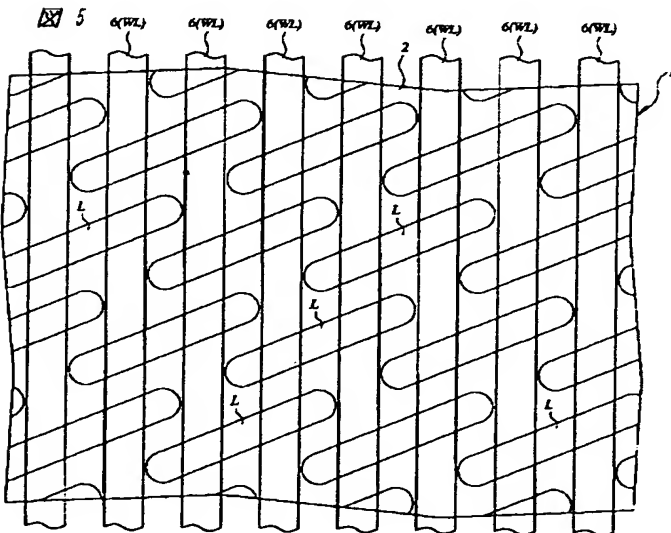
【図2】



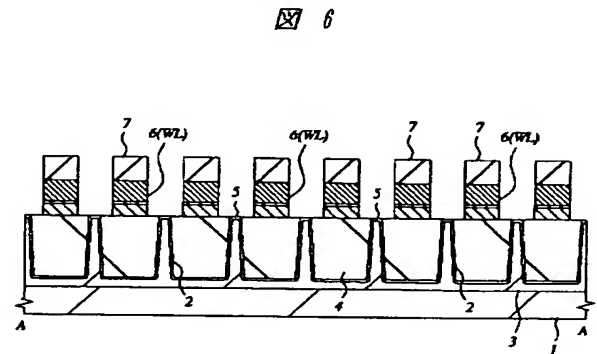
【図3】



【図5】

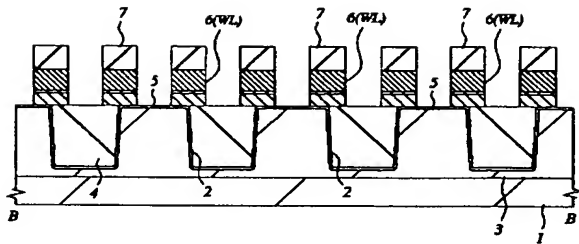


【図6】



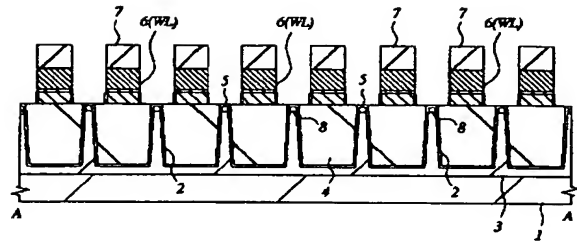
【図 7】

図 7



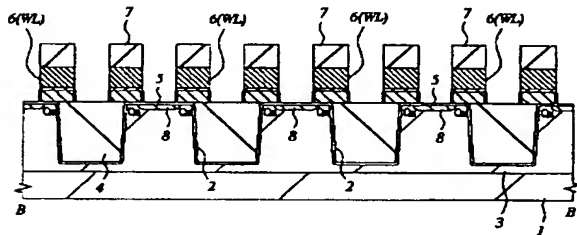
【図 8】

図 8



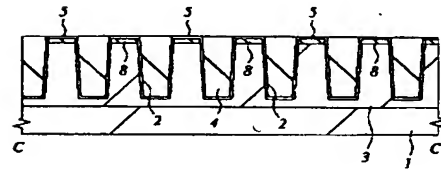
【図 9】

図 9



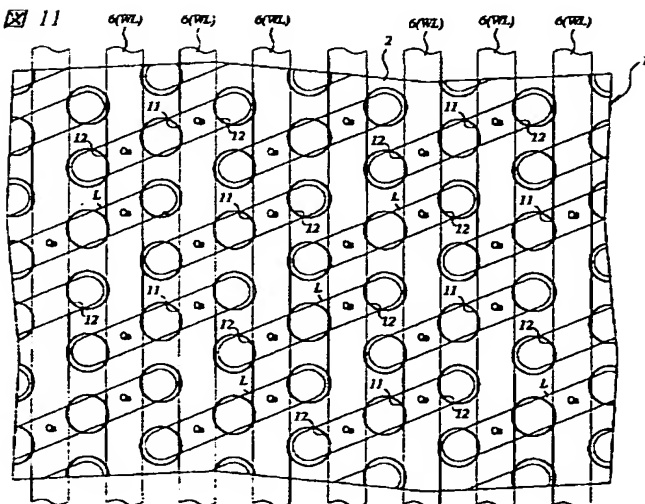
【図 10】

図 10



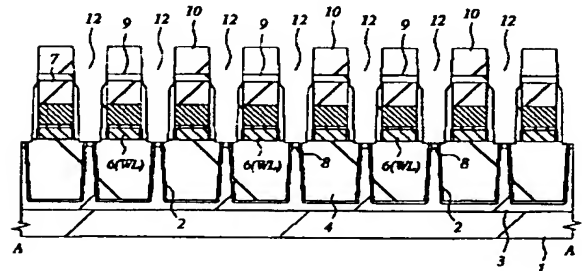
【図 11】

図 11



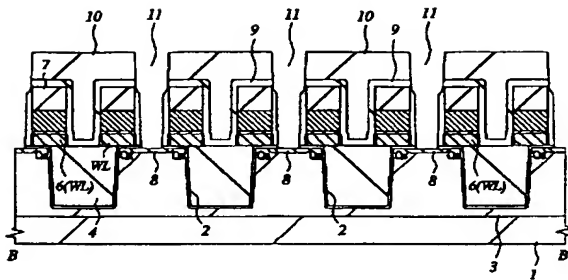
【図 12】

図 12



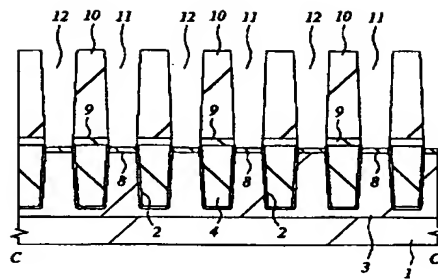
【 ㊦ 1 3 】

13



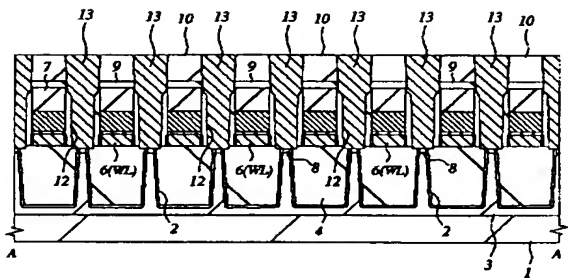
【図 14】

14



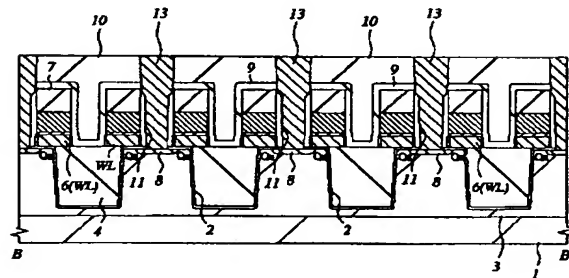
【図 15】

15



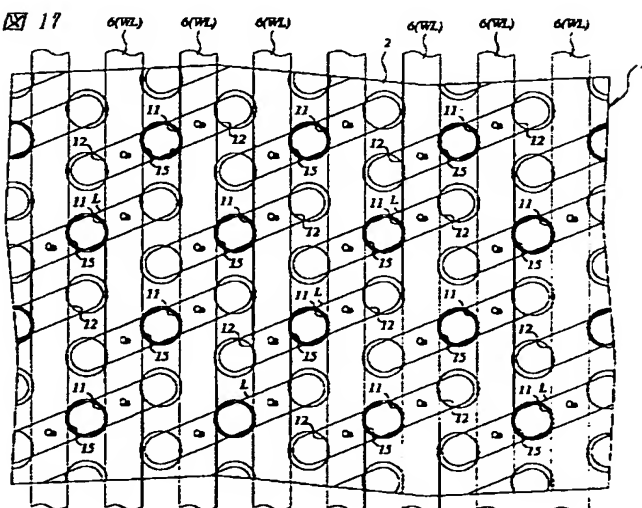
【图 16】

16



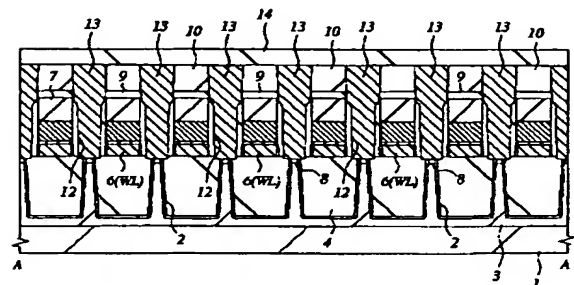
【图 17】

17

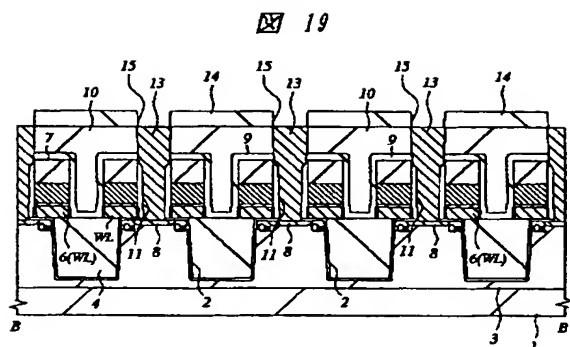


【图 18】

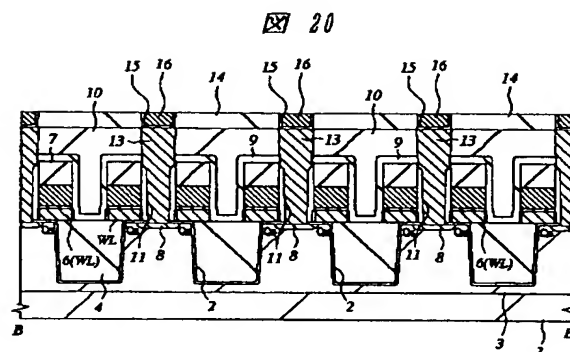
18



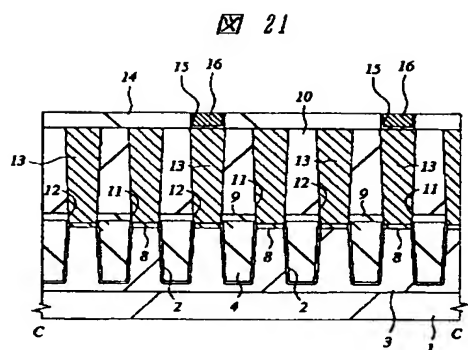
【图 19】



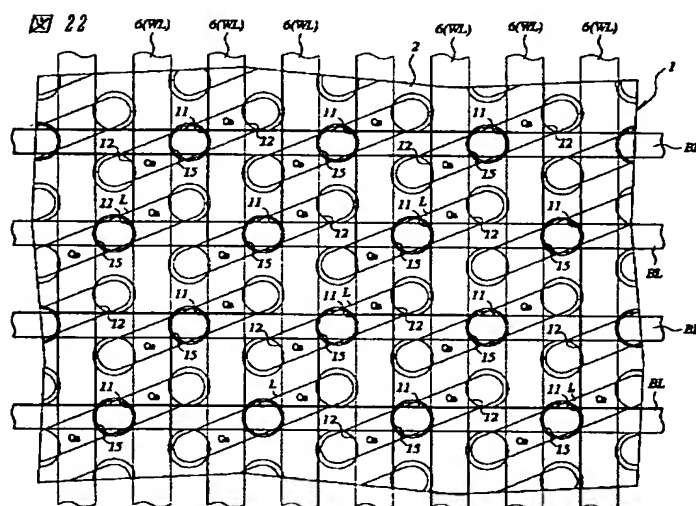
【圖 20】



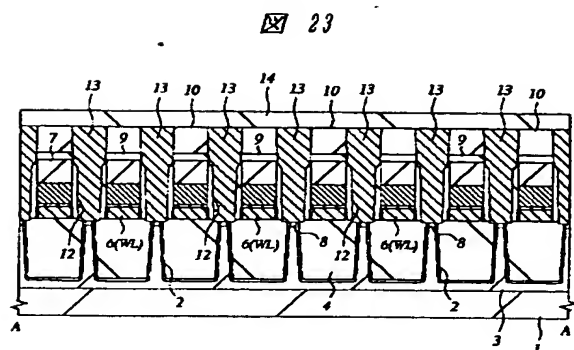
【図 2 1】



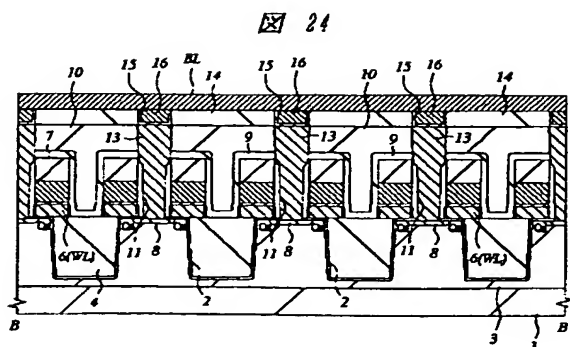
【图 22】



【图 23】

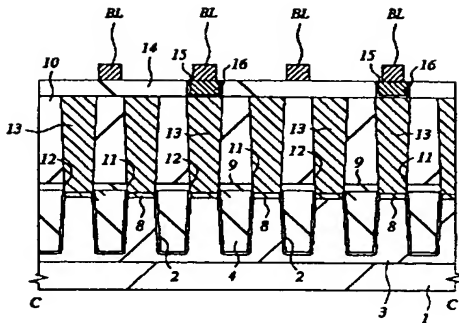


【图 24】



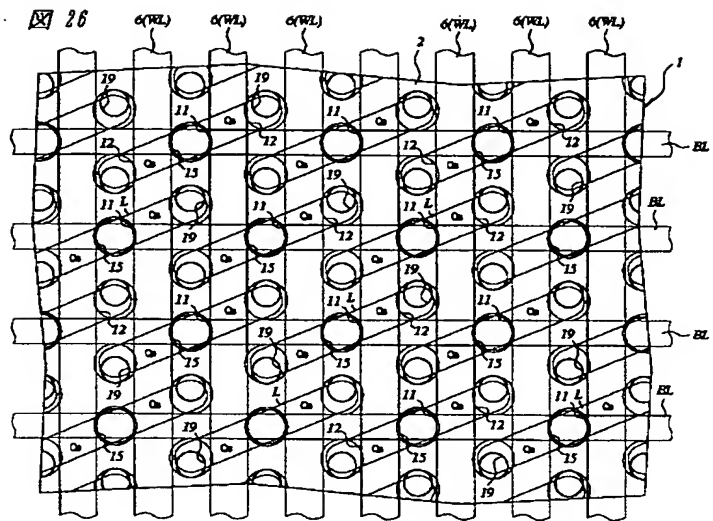
【図 25】

図 25



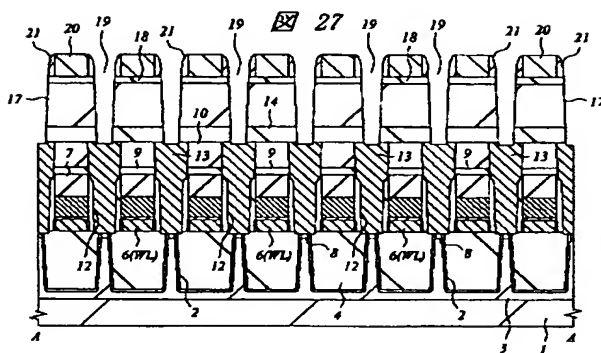
【図 26】

図 26



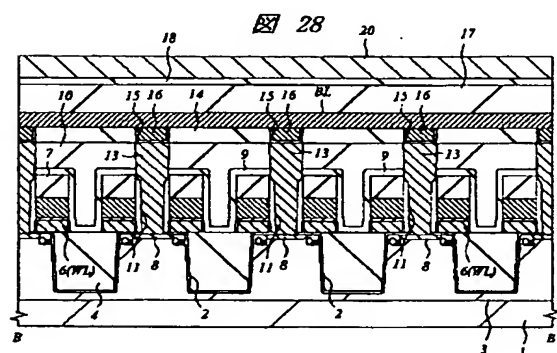
【図 27】

図 27



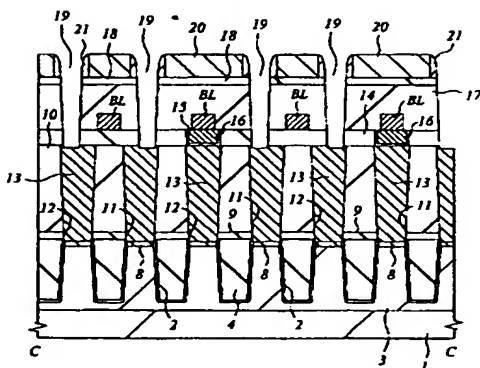
【図 28】

図 28



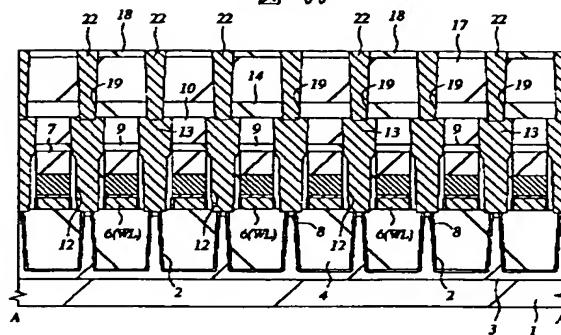
【図 29】

図 29



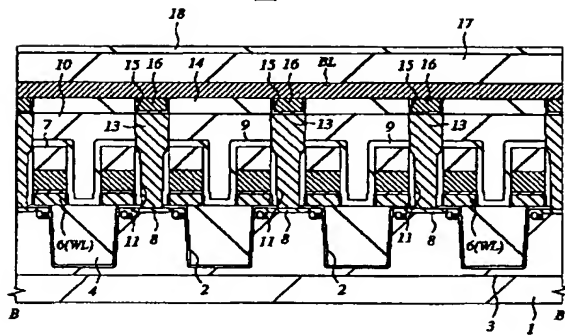
【図 30】

図 30



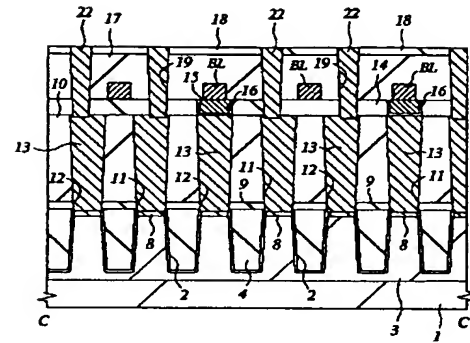
【図 31】

図 31



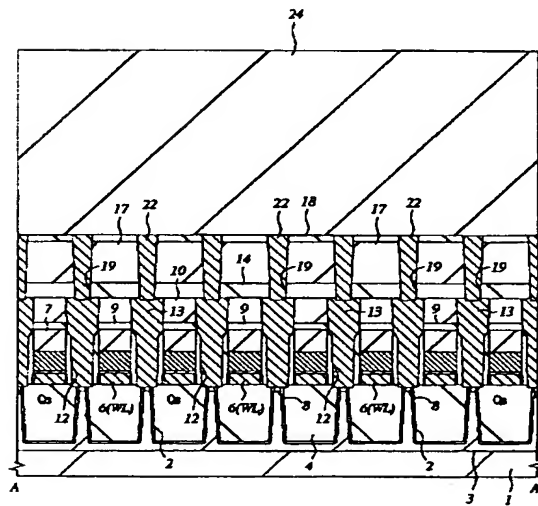
【図 32】

図 32



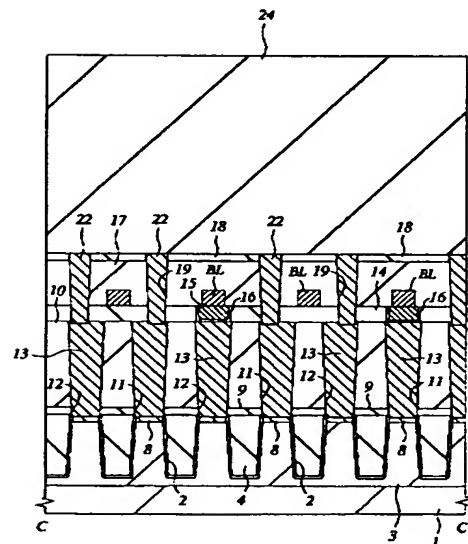
【図 33】

図 33

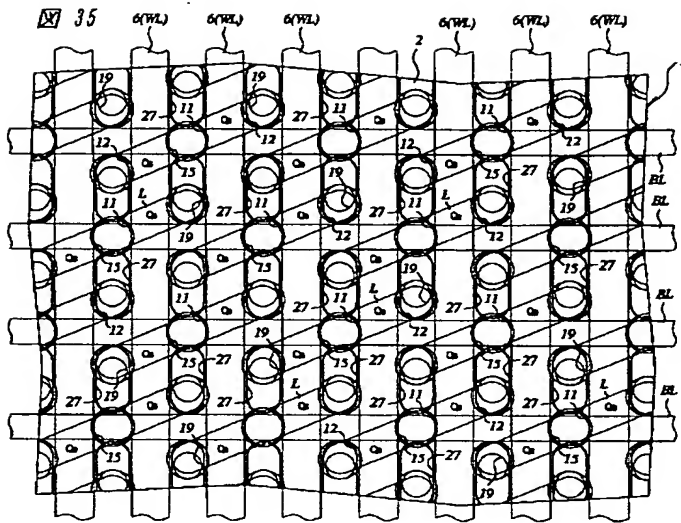


【図 34】

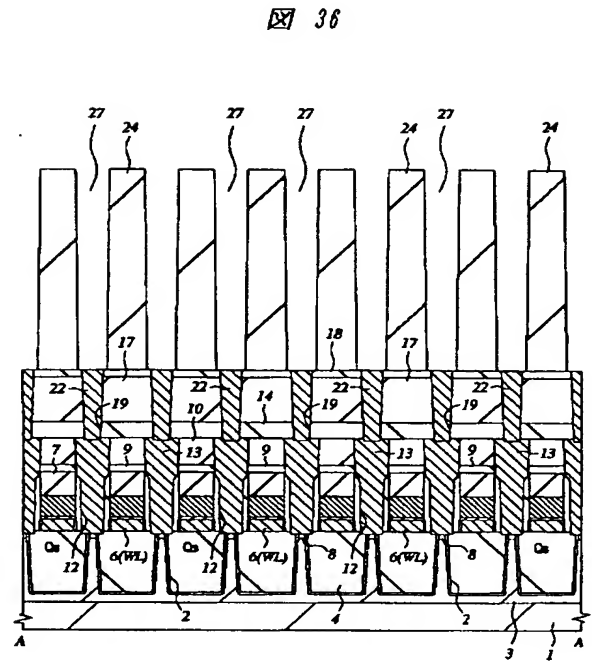
図 34



【図 35】

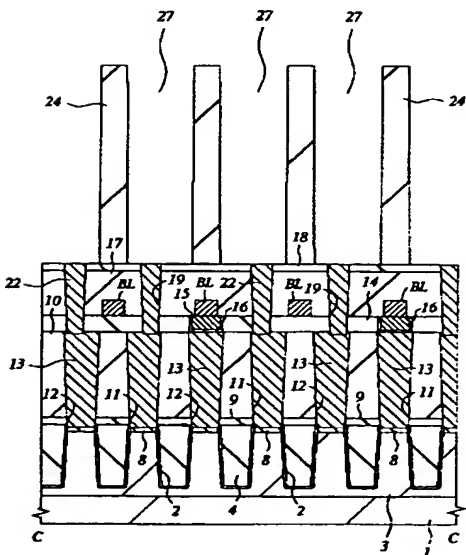


【図 36】



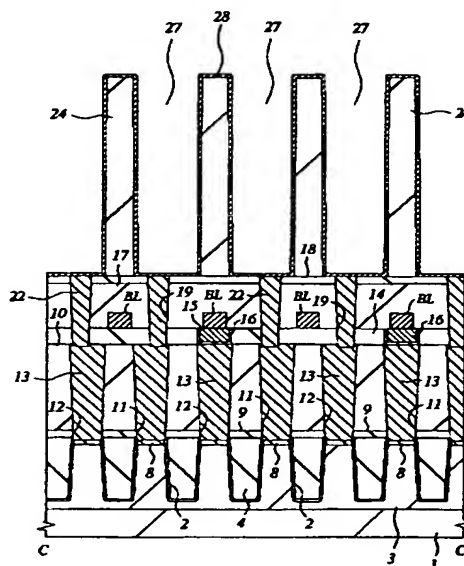
【図 37】

図 37



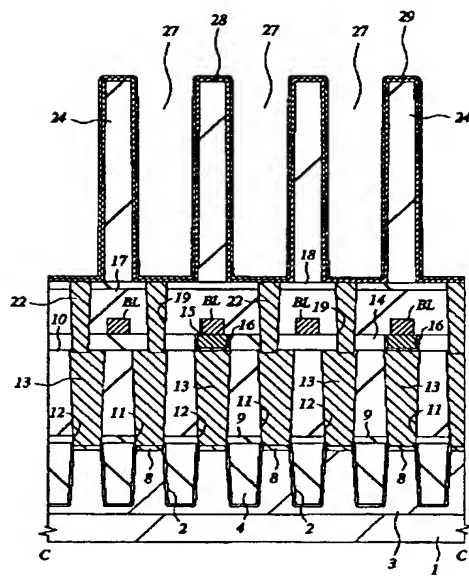
【図 38】

図 38



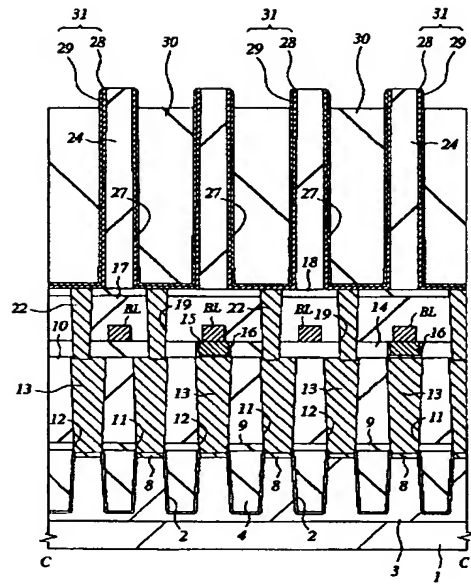
【図 39】

図 39



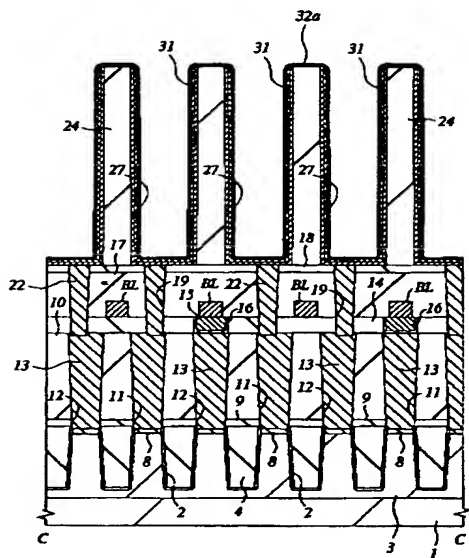
【図 40】

図 40



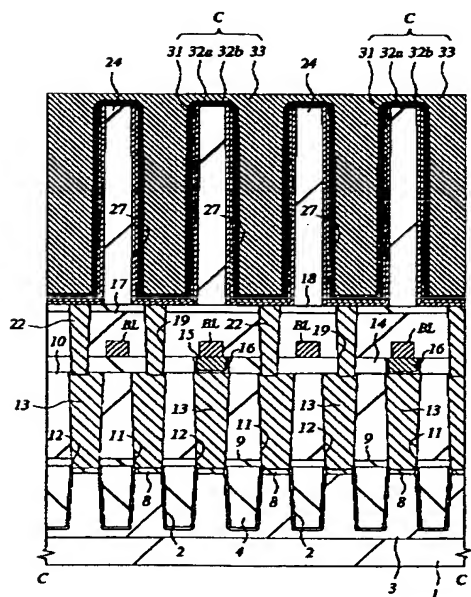
【図 41】

図 41



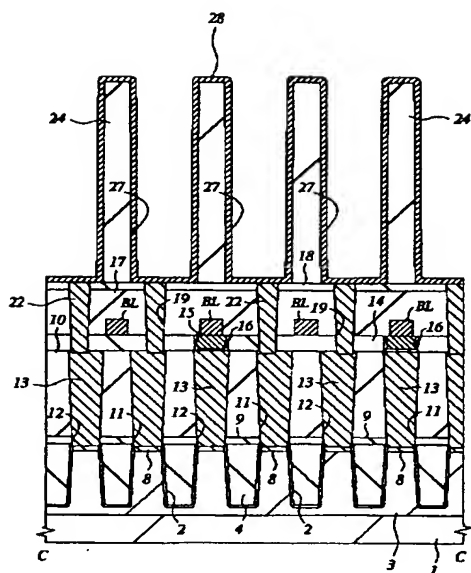
【図 42】

図 42



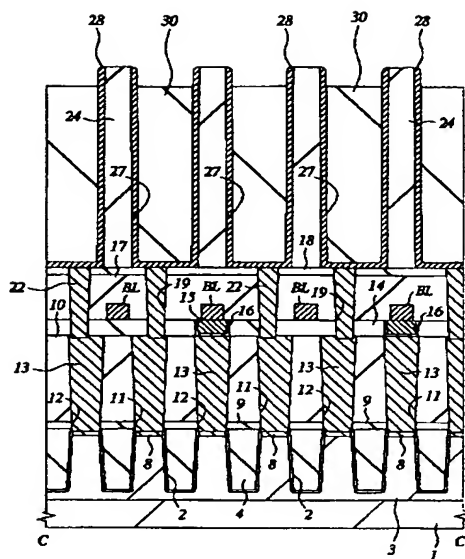
【図 43】

図 43



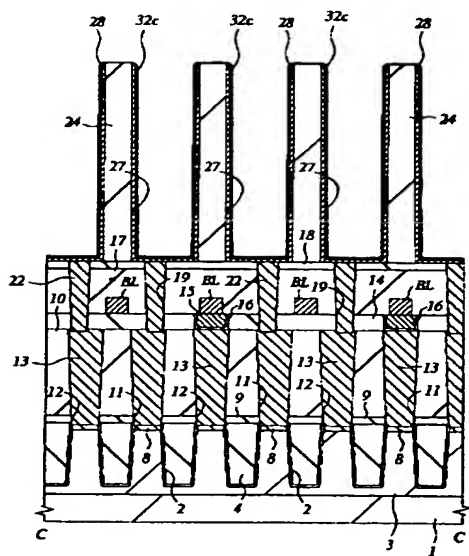
【図 44】

図 44



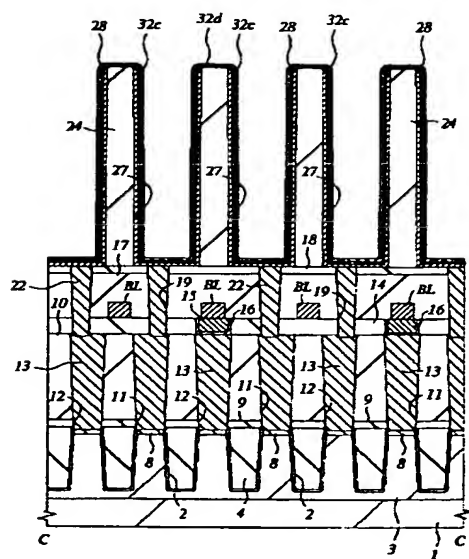
【図 45】

図 45



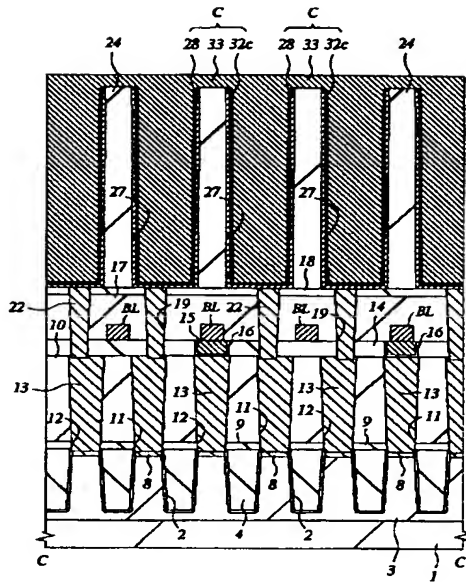
【図 46】

図 46



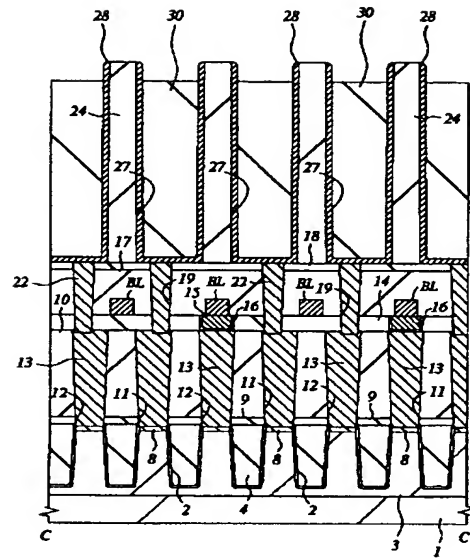
【図 47】

図 47



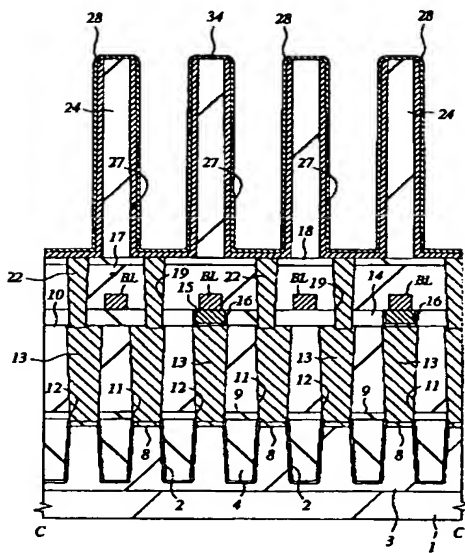
【図 48】

図 48



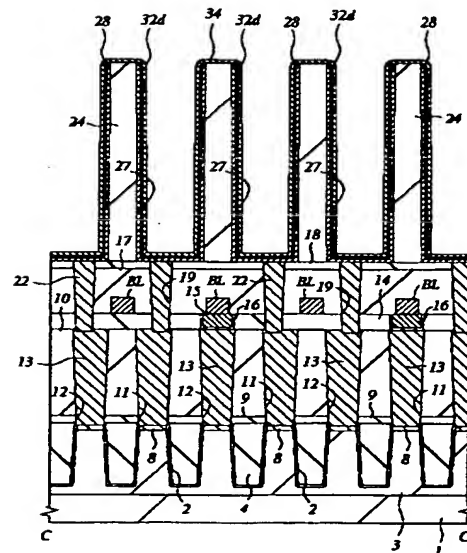
【図 49】

図 49



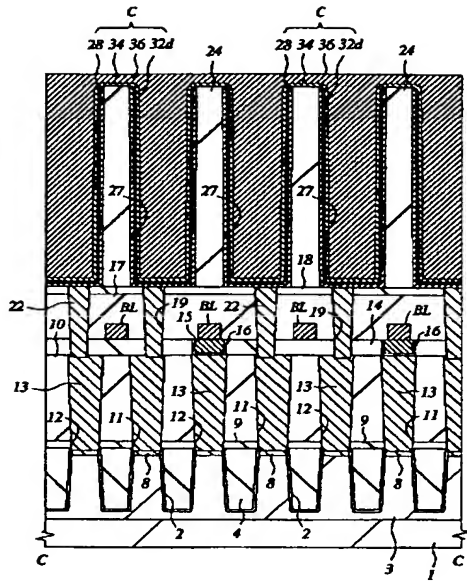
【図 50】

図 50



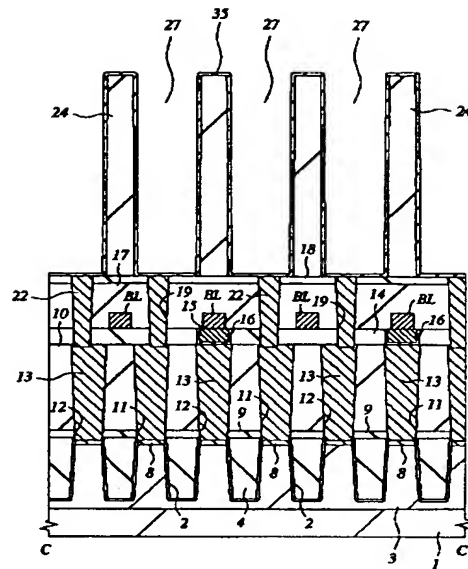
【図 51】

図 51



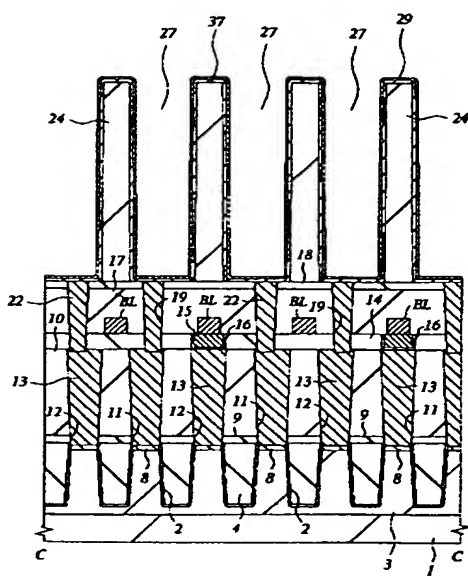
【図 52】

図 52



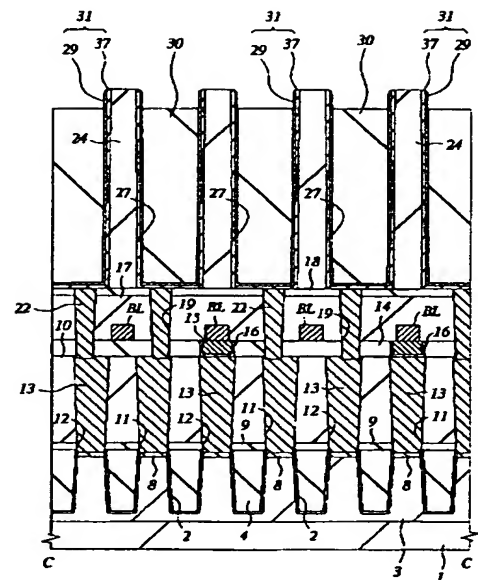
【図 53】

図 53



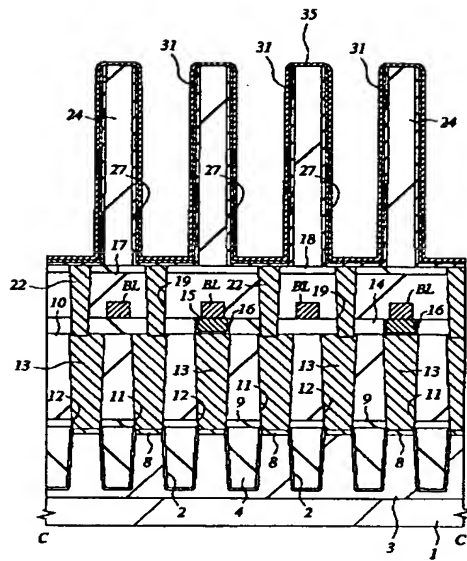
【図 54】

図 54



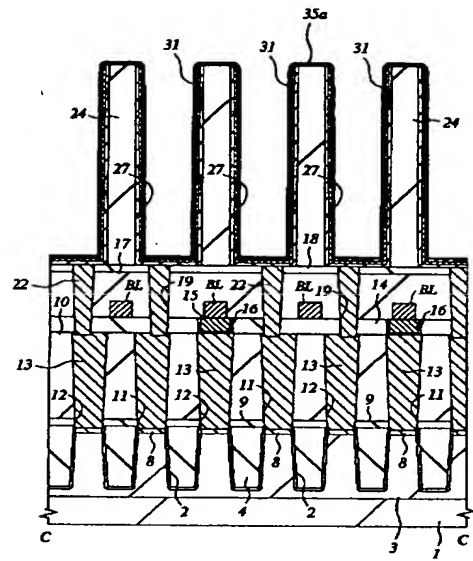
【図 55】

図 55



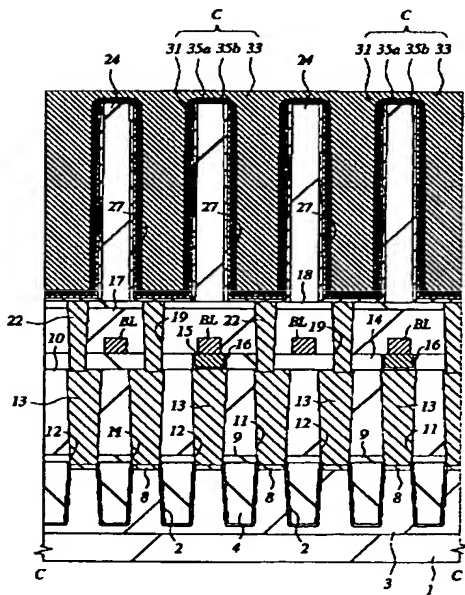
【図 56】

図 56



【図 57】

図 57



フロントページの続き

(72)発明者 佐久間 浩
東京都中央区八重洲二丁目2-1 エルピ
ーダ・メモリ株式会社内

(72)発明者 平谷 正彦
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
Fターム(参考) 5F083 AD21 AD48 AD49 JA06 JA38
JA39 JA40 MA06 MA18 MA19
MA20 NA01 PR03 PR09 PR12
PR21 PR22 PR33 PR40